

PAT-NO: JP404119634A
DOCUMENT-IDENTIFIER: JP 04119634 A
TITLE: THIN FILM SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF
PUBN-DATE: April 21, 1992

INVENTOR-INFORMATION:
NAME
HIROTA, MASANORI
FUSE, MARIO

ASSIGNEE-INFORMATION:
NAME COUNTRY
FUJI XEROX CO LTD N/A

APPL-NO: JP02239004
APPL-DATE: September 11, 1990

INT-CL (IPC): H01L021/336, H01L021/22 , H01L021/225 ,
H01L029/784

ABSTRACT:

PURPOSE: To manufacture a thin film semiconductor device in excellent controllability characteristics by a method wherein, the title manufacture is provided with the film formation process to laminate a thin film amorphous silicon layer on an impurity holding film and the photoenergy irradiating process to thermal-diffuse the conductivity type impurity of the impurity holding film in the amorphous silicon layer to be simultaneously crystallized into a polysilicon layer with the low concentration

conductivity type
impurities led- therein.

CONSTITUTION: An amorphous silicon layer 22 is pulse-irradiated using an excimer laser to instantaneously melt down the layer 22 and then phosphorus atoms are thermal-diffused in the layer 22 from an impurity holding film 21 to evenly form a low concentration led-in region while the amorphous silicon layer 22 is crystallized to form a polysilicon layer 2 doped with the low concentration phosphorus atoms. On the other hand, the polysilicon layer 2 is pulse- irradiated using the excimer laser and a gate electrode G as a mask so as to form a source electrode S and a drain electrode D. Through these procedures, the title thin film semiconductor device in excellent controllability characteristics can be manufactured easily and without fail.

COPYRIGHT: (C)1992,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-119634

⑬ Int. Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月21日

H 01 L 21/336
21/22
21/225
29/784E 8518-4M
P 8518-4M

9056-4M H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 薄膜半導体装置とその製造方法

⑯ 特 願 平2-239004

⑰ 出 願 平2(1990)9月11日

⑱ 発 明 者 広 田 匡 紀 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内⑲ 発 明 者 布 施 マ リ オ 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内⑳ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号
社

㉑ 代 理 人 弁理士 中村 智廣 外2名

明 細 書

1. 発明の名称

薄膜半導体装置とその製造方法

2. 特許請求の範囲

(1) 基板と、

この基板に設けられ活性層を構成する薄膜のポリシリコン層、

とを備える薄膜半導体装置において、

上記ポリシリコン層内に低濃度の導電型不純物が導入されていることを特徴とする薄膜半導体装置。

(2) 特許請求の範囲第1項記載の薄膜半導体装置の製造方法において、

上記基板上に導電型不純物を保持する不純物保持皮膜を成膜し、かつ、この不純物保持皮膜面上に薄膜のアモルファスシリコン層を積層する成膜工程と、

このアモルファスシリコン層へ光エネルギーを照射し上記不純物保持皮膜の導電型不純物をアモルファスシリコン層内に熱拡散させると共に、アモ

ルファスシリコン層を結晶化させて低濃度の導電型不純物が導入されたポリシリコン層にする光エネルギー照射工程、

とを具備することを特徴とする薄膜半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、エレクトロルミネッセンスディスプレイ、液晶ディスプレイ等各種装置の駆動用等に利用される薄膜半導体装置に係り、特に、制御特性に優れた薄膜半導体装置とその製造方法に関するものである。

(従来の技術)

この種の薄膜半導体装置として MOS型半導体を例に挙げて説明すると、第4図～第5図に示すようにガラス基板(a)と、このガラス基板(a)上に設けられたポリシリコン層(b)と、このポリシリコン層(b)の両端部に接続されたソース電極(S)・ドレイン電極(D)と、絶縁膜を介しポリシリコン層(b)上に設けられたゲート電

特開平4-119634(2)

極(G)とでその主要部を構成する装置が知られている。

そして、このMOS型半導体装置においては、上記ソース電極(S)・ドレイン電極(D)間にドレイン電圧(V_D)を印加し、かつ、ゲート電極(G)に所定のゲート電圧(V_G)を印加することでポリシリコン層(b)にチャンネルが形成され、ON状態となってドレイン電流(I_D)が流れる一方、上記ゲート電圧(V_G)を下げて「しきい値電圧 V_{th} 」以下にすると上記ポリシリコン層(b)にチャンネルが形成されなくなり、半導体装置はOFF状態となって上記ドレイン電流(I_D)が流れなくなるもので、上述した各種装置の駆動等利用等に利用されているものである。

〔発明が解決しようとする課題〕

ところで、この種のMOS型薄膜半導体装置において活性層を構成するポリシリコン層(b)には、イントリンシックのポリシリコンが適用されている関係上このポリシリコン層(b)内のキャリア数が少なく、上記ゲート電極(G)に所定の電圧

を印加してキャリアを誘起させようとしてもチャネル形成領域にキャリアが集まり難く「しきい値電圧 V_{th} 」が高くなる欠点があり、かつ、ポリシリコン層(b)の特異位界面でのキャリアのトラップ数も多いことから上記「しきい値電圧 V_{th} 」が経時的に変動し易い欠点がありその制御特性が悪い問題点があった。

本発明は以上の問題点に留意してなされたもので、その課題とするところは、制御特性に優れた薄膜半導体装置とその製造方法を提供することにある。

〔課題を解決するための手段〕

すなわち請求項1に係る発明は、

基板と、

この基板に設けられ活性層を構成する薄膜のポリシリコン層、

とを備える薄膜半導体装置を前提とし、

上記ポリシリコン層内に低濃度の導電型不純物が導入されていることを特徴とするものである。

この請求項1に係る発明において上記基板とし

ては、ガラス、石英等の絶縁性基板の他、表面に絶縁層を形成することを条件に金属等の導電性基板も適用できる。

また、ポリシリコン層内に導入される導電型不純物としては、この手段をn型の薄膜半導体装置に適用した場合、リン、アンチモン、ヒ素等5価の原子が利用でき、一方、p型の薄膜半導体装置に適用した場合においては、アルミニウム、ガリウム、ボロン、インジウム等3価の原子が利用でき、また、その導入濃度は上記ポリシリコン層が半導体としての特性を維持できる程度の低濃度に設定することを要する。

一方、請求項2に係る発明は、

請求項1に係る薄膜半導体装置の製造方法を前提とし、

基板上に導電型不純物を保持する不純物保持皮膜を成膜し、かつ、この不純物保持皮膜面上に薄膜のアモルファスシリコン層を積層する成膜工程と、

このアモルファスシリコン層へ光エネルギーを照

射し上記不純物保持皮膜の導電型不純物をアモルファスシリコン層内に熱拡散させると共に、アモルファスシリコン層を結晶化させて低濃度の導電型不純物が導入されたポリシリコン層にする光エネルギー照射工程、

とを具備することを特徴とするものである。

この請求項2に係る発明において成膜工程における不純物保持皮膜としては、この手段をn型の薄膜半導体装置に適用した場合、リン、アンチモン、ヒ素等5価の原子を保持する材料が利用でき、一方、p型の薄膜半導体装置に適用した場合においては、アルミニウム、ガリウム、ボロン、インジウム等3価の原子を保持する材料が利用できる。

以下、この不純物保持皮膜に適用できる具体的材料名とその成膜方法について説明する。

『n型の薄膜半導体装置』

① 5価の原子を含むシリコン膜：

① Si:P... SiB₂ と PH₃ の混合ガスを用いたプラズマCVD法又は減圧CVD法、PH₃ と Ar 雰囲気中のシリコンのスパッタリング法。

特開平4-119634(4)

ファスシリコン層内に熱拡散させると共に、アモルファスシリコン層を結晶化させて低濃度の導電型不純物が導入されたポリシリコン層にする光エネルギー照射工程、

とを具備しているため、

上記不純物保持皮膜の膜厚とこの皮膜中の導電型不純物濃度を適宜調整することでポリシリコン層内へ熱拡散させる不純物の拡散量を制御できる一方、上記光源のパワーや照射時間を適宜調整することによってもポリシリコン層内へ熱拡散させる不純物の拡散量並びに拡散距離を制御でき、この結果、低濃度の導電型不純物が導入されたポリシリコン層を確実に形成することが可能となる。

(実施例)

以下、本発明をMOS型の薄膜半導体装置に適用した実施例について図面を参照して詳細に説明する。

すなわち、この実施例に係る薄膜半導体装置は、第1図～第2図に示すようにガラス基板(1)と、このガラス基板(1)上に吸着され導電型不純物

集まり易くなり、この結果、この薄膜半導体装置における「しきい値電圧 V_{th} 」が低くなると共に、

上記ポリシリコン層(2)の結晶粒界面でキャリアが多数トラップされてもドーパされたリン原子により上記チャネル形成領域に新たなキャリアが供給されるため「しきい値電圧 V_{th} 」の経時的変動が起こり難くなる。

従って、薄膜半導体装置の特性を長期に亘って保持でき、その制御特性が向上する利点を有している。

『薄膜半導体装置の製造工程』

以下、この実施例に係る薄膜半導体装置の製造工程を図面を参照して詳細に説明する。

まず、第3図(A)に示すようにガラス基板(商品名コーニング7059)(1)面上に、500～500℃、0.5～1.0Torrの条件下、シランガスと水素希釈のホスフィンガス(含有 PH_3 :1ppm)を用いた減圧CVD法により厚さ数10Åのシリコン製不純物保持皮膜(2i)を成膜し、かつ、この面上

であるリン原子が 10^{11} atoms/cm²程度ドーパされたポリシリコン層(2)と、このポリシリコン層(2)の両端部に設けられ高濃度のリン原子がドーパされたソース・ドレイン電極(S)(D)と、ポリシリコン層(2)上に設けられた SiO_2 製のゲート絶縁膜(3)と、ゲート絶縁膜(3)上に設けられ高濃度のリン原子がドーパされたポリシリコン製のゲート電極(G)と、これ等面上に設けられた SiN_x 製の層間絶縁膜(4)と、この層間絶縁膜(4)に設けられた開口(5)を介して各電極(S)(D)(G)に接続されたアルミニウム製の配線部(6)とでその主要部が構成されているものである。

そして、この実施例に係るMOS型の薄膜半導体装置においては、活性層を構成する上記ポリシリコン層(2)内に 10^{11} atoms/cm²程度のリン原子がドーパされているため、その分、従来の半導体装置に較べてポリシリコン層(2)内のキャリア数が増え、上記ゲート電極(G)に所定の電圧を印加した場合、チャネル形成領域にキャリアが

に真空を破らずにシランガスを用いた減圧CVD法により厚さ1000～5000Åのアモルファスシリコン層(22)を連続的に成膜する。

尚、上記減圧CVD法における反応ガスの流量条件については以下の通りである。すなわち、

『不純物保持皮膜(2i)』

SiH_4 (シラン):水素希釈のホスフィン
=100:100 SCCM

『アモルファスシリコン層(22)』

SiH_4 (シラン)=100 SCCM

次いで、第3図(B)に示すように上記アモルファスシリコン層(22)部へ、波長308nmのXeClエキシマレーザを用い、エネルギー密度100～1000mJ/cm²の条件下、繰り返し周波数50Hzで1～100パルス照射してアモルファスシリコン層(22)を瞬時に融解させると共に、不純物保持皮膜(2i)からリン原子をアモルファスシリコン層(22)内へ熱拡散させて 10^{11} atoms/cm²程度の低濃度導入領域を一緒に形成し、かつ、上記アモルファスシリコン層(22)を結晶化させて低濃度のリン原子が

特開平4-119634(3)

② Si:Sb、Si:As … Sb又はAsをドーブしたSiのスパッタリング法、SiH₄とAsH₃、あるいはSiH₄とSbH₃の混合ガスを用いたプラズマCVD法。

③ リンを含んだSiO₂膜(PSG):

SiH₄とPH₃とO₂の混合ガスを用いた常圧CVD法、減圧CVD法、又は、プラズマCVD法、及び、SiO₂(塗布焼成酸化膜)塗布法。

④ リンを含んだ窒化シリコン膜(SiN):

SiH₄とNH₃とPH₃の混合ガスを用いたプラズマCVD法。

⑤ リンを含んだ炭化ケイ素(SiC):

SiH₄とCH₄とPH₃の混合ガスを用いたプラズマCVD法。

「p型の薄膜半導体装置」

⑥ 3価の原子を含むシリコン膜:

① Si:Al … SiH₄と有機金属ガスであるトリメチルアルミニウム(TMA)の混合ガスを用いたプラズマCVD法。

② Si:B … SiH₄とB₂H₆の混合ガスを用いたプラズマCVD法。

③ Si:Ga … SiH₄と有機金属ガスであるトリメチルガリウム(TMGa)の混合ガスを用いたプラズマCVD法。

④ Si:In … SiH₄と有機金属ガスであるトリメチルインジウム(TMI)の混合ガスを用いたプラズマCVD法。

⑤ ボロンを含んだSiO₂膜(BSG):

SiH₄とB₂H₆とO₂の混合ガスを用いたプラズマCVD法、SiH₄とB₂H₆とH₂Oの混合ガスを用いたプラズマCVD法。

⑥ ボロンを含んだ窒化シリコン膜(SiN):

SiH₄とNH₃とB₂H₆の混合ガスを用いたプラズマCVD法。

⑦ ボロンを含んだ炭化シリコン膜(SiC):

SiH₄とCH₄とB₂H₆の混合ガスを用いたプラズマCVD法。

次に、上記光エネルギー照射工程における光源としては、これ等光源から照射された熱エネルギーに

より上記アモルファスシリコン層を融解し、この融解されたアモルファスシリコン層内へ上記不純物保持皮膜より不純物を熱拡散させることができ、かつ、アモルファスシリコン層を結晶化させることが可能なものなら任意であり、例えば、Ar⁺、Kr⁺等のイオンレーザや、CO₂等のガスレーザ、及び、ArF、XeCl、KrF等のエキシマレーザ等が適用できる。

そして、上記不純物保持皮膜の膜厚とこの皮膜中の不純物濃度、及び、上記光源からの光エネルギーの照射パワーや照射時間を適宜調整することでポリシリコン層内へ熱拡散させる不純物の拡散量や拡散距離を制御でき、従って、必要な濃度の導電型不純物をポリシリコン層内の所定部位に導入することが可能となる。

尚、これ等請求項1〜2に係る発明の適用範囲については、上述したMOS型の薄膜半導体装置に適用できる他、薄膜のポリシリコン層を活性層とする「バイポーラ型」の薄膜半導体装置にも適用可能である。

〔作用〕

請求項1に係る発明によれば、

ポリシリコン層内に低濃度の導電型不純物が導入されているためポリシリコン層内のキャリア数が多くなり、例えば、この手段をMOS型の薄膜半導体装置に適用した場合、この導入された導電型不純物よりキャリアが供給されてチャネル形成領域にキャリアが集まり易くなり、この結果、「しきい値電圧V_{th}」が低くなると共に、

上記ポリシリコン層の結晶粒界面でキャリアが多数トラップされても導入された導電型不純物より新たなキャリアが補給されるため「しきい値電圧V_{th}」の経時的変動が起こり難くなる。

一方、請求項2に係る発明によれば、

上記基板上に導電型不純物を保持する不純物保持皮膜を成膜し、かつ、この不純物保持皮膜面上に薄膜のアモルファスシリコン層を積層する成膜工程と、

このアモルファスシリコン層へ光エネルギーを照射し上記不純物保持皮膜の導電型不純物をアモル

特開平4-119634(5)

ドーパされたポリシリコン層(2)を形成する。

次に、結晶化されたポリシリコン層(2)上の所定部位に第3図(C)に示すようにフォトレジスト層(r)を形成し、フォトレジスト層(r)から露出するポリシリコン層(2)と不純物保持皮膜(21)とを第3図(D)に示すようにドライエッチング法にて除去し、かつ、この面上に減圧CVD法にてゲート絶縁膜の厚さ1000ÅのSiO₂膜(30)を成膜すると共に、同じく減圧CVD法にて上記SiO₂膜(30)面上に引き続きゲート電極形成用のリンドーパポリシリコン膜(G')を成膜する(第3図E参照)。

尚、上記減圧CVD法における成膜条件については以下の通りである。すなわち、

「SiO₂膜(30)」

ガラス基板(1)温度: 400 ~ 430 °C

ガス流量: SiH₄: O₂: He = 30:50:1000 SCCM

圧力: 0.8 Torr

「リンドーパポリシリコン膜(G')」

ガラス基板(1)温度: 500 ~ 600 °C

示すような層間絶縁膜(4)を形成した後、ウエットエッチング法にて上記層間絶縁膜(4)に開口(5)を開設し、かつ、アルミニウム製の配線部(6)を形成して第3図(J)に示すようなMOS型の薄膜半導体装置を得た。

尚、この製造方法においては、上記ゲート電極(G)をマスクにし水素希釈のPH₃ガス雰囲気中においてXeClのエキシマレーザを照射してソース電極(S)・ドレイン電極(D)を形成しているが、この形成方法に変えて、例えばPSG膜(リン原子を保持するSiO₂膜)をゲート電極(G)とポリシリコン層(2)上に成膜し、かつ、この面上からエキシマレーザを照射してソース電極・ドレイン電極(S)・(D)を形成してもよい。

〔発明の効果〕

請求項1に係る発明によれば、

ポリシリコン層内に低濃度の導電型不純物が導入されているためポリシリコン層内のキャリア数が多くなり、例えば、この手段をMOS型の薄膜半導体装置に適用した場合、この導入された導電型

ガス流量: SiH₄: 水素希釈のPH₃ (10ppm)

= 100:100 SCCM

圧力: 0.5 ~ 1.0 Torr

そして、フォトリソグラフィ法によるパターンニング処理を施して第3図(F)に示すようにゲート電極(G)とゲート絶縁膜(3)とをそれぞれ形成し、かつ、第3図(G)に示すように上記ゲート電極(G)をマスクにし水素希釈のPH₃ガス雰囲気中においてXeClのエキシマレーザを照射することにより、ポリシリコン層(2)内にリン原子をドーピングして第3図(H)に示すようにゲート電極(G)に対して自己整合されたソース電極(S)・ドレイン電極(D)とを形成すると共にゲート電極(G)に含まれるp⁺イオンの活性化処理を施した。尚、このレーザ照射条件は、500 ~ 1000 mJ/cm²のエネルギー密度において1 ~ 10パルスで充分であった。

更に、ソース電極(S)・ドレイン電極(D)が形成された面上にプラズマCVD法にて7000Åのナイトライド(Si₃N₄)を成膜して第3図(I)に

不純物よりキャリアが供給されてチャネル形成領域にキャリアが集まり易くなり、この結果、「しきい値電圧V_{th}」が低くなると共に、

上記ポリシリコン層の結晶粒界面でキャリアが多量トラップされても導入された導電型不純物より新たなキャリアが補給されるため「しきい値電圧V_{th}」の経時的変動が起こり難くなる。

従って、薄膜半導体装置の制御特性が向上する効果を有している。

一方、請求項2に係る発明によれば、

不純物保持皮膜の膜厚とこの皮膜中の導電型不純物濃度を適宜調整することでポリシリコン層内へ熱拡散させる不純物の拡散量を制御できる一方、上記光源のパワーや照射時間を適宜調整することによってもポリシリコン層内へ熱拡散させる不純物の拡散量並びに拡散距離を制御でき、この結果、低濃度の導電型不純物が導入されたポリシリコン層を確実に形成することが可能となる。

従って、制御特性の優れた薄膜半導体装置を容易に、かつ、確実に製造できる効果を有している。

特開平4-119634(6)

4. 図面の簡単な説明

第1図～第3図は本発明の実施例を示しており、第1図は実施例に係る MOS型の薄膜半導体装置の概略斜視図、第2図は第1図のⅡ-Ⅱ面断面図、第3図(A)～(J)は実施例に係る MOS型の薄膜半導体装置の製造工程図を夫々示し、また、第4図は従来の MOS型の薄膜半導体装置の概略斜視図、第5図は第4図のⅤ-Ⅴ面断面図である。

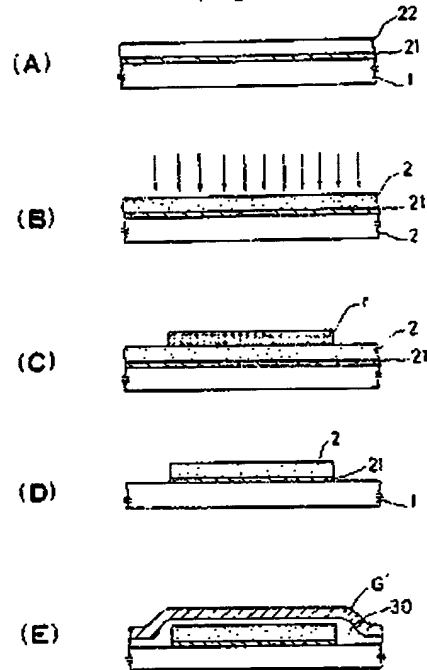
(符号説明)

- (1) …ガラス基板
- (2) …ポリシリコン層
- (21) …不純物保持皮膜
- (22) …アモルファスシリコン層

特許出願人 富士ゼロックス株式会社
代理人 井原士 中村 智 廣(外2名)

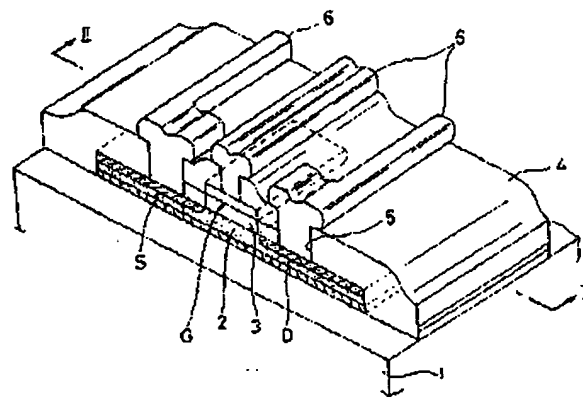
21: 不純物保持皮膜
22: アモルファスシリコン層

第3図



第1図

1: ガラス基板
2: ポリシリコン層



第2図

